



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takeshi YOSHIDA

GAU:

SERIAL NO: 10/632,866

EXAMINER:

FILED: August 4, 2003

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT HAVING SYSTEM BUS DIVIDED IN STAGES

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-122256	April 25, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.  
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

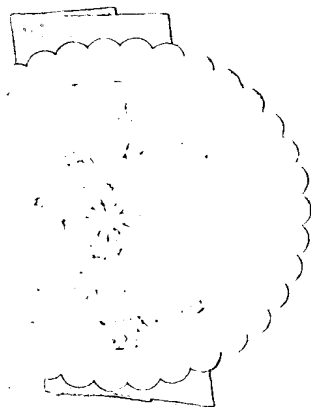
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    4 月 2 5 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 1 2 2 2 5 6  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 1 2 2 2 5 6 ]

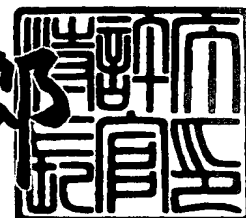
出      願                      人                      株式会社東芝  
Applicant(s):



2 0 0 3 年    7 月    8 日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



【書類名】 特許願

【整理番号】 ASB029123

【提出日】 平成15年 4月25日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 19/00  
G11C 7/00

【発明の名称】 半導体集積回路

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
マイクロエレクトロニクスセンター内

【氏名】 吉田 尊

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

## 【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

## 【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

## 【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

## 【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

## 【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

## 【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 信号を転送するシステムバスを分割した複数の分割ステージと、

前記複数の分割ステージを直列に接続し、入力側の前記分割ステージから転送された信号をクロック信号に同期して出力側の前記分割ステージへ転送する分割モード及び前記入力側の分割ステージから転送された信号を随時に前記出力側の分割ステージへ転送するスルーモードにて動作するステージ素子と、

互いに異なる前記分割ステージに接続された複数の機能モジュール

とを有することを特徴とする半導体集積回路。

【請求項 2】 前記分割モードにおいて前記ステージ素子へ前記クロック信号を供給し、前記スルーモードにおいて前記ステージ素子への前記クロック信号の供給を停止するクロック伝播回路を更に有することを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 前記複数の機能モジュールは、それぞれ同等の機能を有することを特徴とする請求項 1 又は 2 記載の半導体集積回路。

【請求項 4】 前記機能モジュールは、データを格納する機能を有するメモリであることを特徴とする請求項 3 記載の半導体集積回路。

【請求項 5】 前記ステージ素子は、前記入力側の分割ステージから転送された信号を保持する記憶回路を有することを特徴とする請求項 1 乃至 4 何れか 1 項記載の半導体集積回路。

【請求項 6】 前記記憶回路は、前記クロック信号に同期して前記信号を取り込み及び保持するフリップフロップ回路であることを特徴とする請求項 5 記載の半導体集積回路。

【請求項 7】 前記ステージ素子は、前記入力側の分割ステージに接続された第 1 の入力端子と、前記フリップフロップ回路を介して前記入力側の分割ステージに接続された第 2 の入力端子と、前記出力側の分割ステージに接続された出力端子と、前記第 1 の入力端子又は第 2 の入力端子と前記出力端子との接続を切

り換えるスルー信号が入力される切換端子とを備えるセレクトを更に有し、

前記セレクトは、前記分割モードにおいて前記第2の入力端子と前記出力端子とを接続し、前記スルーモードにおいて前記第1の入力端子と前記出力端子とを接続することを特徴とする請求項6記載の半導体集積回路。

【請求項8】 前記ステージ素子は、前記分割モードにおいて前記クロック信号に同期したパルス信号を生成し、前記スルーモードにおいて前記パルス信号の生成を停止すると共に前記記憶回路を前記信号がスルーするような状態に保持するパルス生成回路を更に有し、前記フリップフロップ回路は、前記パルス信号に同期して前記信号を取り込み及び保持することを特徴とする請求項6記載の半導体集積回路。

【請求項9】 前記ステージ素子は、前記分割モードにおいて前記フリップフロップ回路へ前記クロック信号を供給し、前記スルーモードにおいて前記フリップフロップ回路への前記クロック信号の供給を停止すると共に前記記憶回路を前記信号がスルーするような状態に保持するクロック制御回路を更に有することを特徴とする請求項6記載の半導体集積回路。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は半導体集積回路に係り、特に半導体集積回路のテスト容易化設計技術に係る。

##### 【0002】

##### 【従来の技術】

半導体集積回路の機能テスト方法として、スキャンを用いたテスト方法、組み込み自己テスト（BIST）回路を用いたテスト方法などの他に、半導体チップ外部から直接データを与え、或いはデータを読み出すテスト方法が知られている。特に、メモリを含む半導体デバイスの機能テストは、多量のデータの書き込み及び読み出しが必要となる。例えば、マイクロプロセッサに搭載されているキャッシュメモリ等のリフレッシュ動作を必要としない随時書き込み読み出しメモリ（スタティックRAM）或いはリフレッシュ動作を必要とする随時書き込み読み

出しメモリ（ダイナミックRAM）特にインベデッドDRAMなどの直接機能テスト（DFT）がある。

#### 【0003】

直接機能テストにおいて多量のデータを容易に書き込み及び読み出すために、通常動作時にシステムバスとなる内部バスとは別に直接機能テスト専用のデータバス（直接機能テスト用バス）を設ける第1の方法が考えられる。しかし、第1の方法では、配線リソース及びバッファの消費が問題となる。そこで、通常動作時にシステムバスとなる内部バスを直接機能テスト用バスとして兼用する第2の方法が用いられている。一般的に、システムバスは通常動作時においてデータを高速に転送するために複数の分割ステージに分割され、データはクロック信号に同期して分割ステージ間を伝播する（例えば、特許文献1参照。）。

#### 【0004】

##### 【特許文献1】

特開平9-218734号公報（第1図、段落[0012]－[0032]

）

#### 【0005】

##### 【発明が解決しようとする課題】

したがって、直接機能テストの対象となる複数の機能モジュールが互いに異なる分割ステージに接続されている場合、半導体チップ外部に配置されたテスト（外部テスト）は、各機能モジュールが接続されている分割ステージの違いを考慮してテストしなければならず、テストパターンの複雑化を招き、テスト効率が低下する。特に、複数の機能モジュールが、例えば同一機能を有するメモリである等、同一の機能を有する場合、外部テストは、各機能モジュールに対して分割ステージの違いを考慮して異なるシーケンスでテストしなければならず、テスト効率が著しく低下する。

#### 【0006】

本発明はこのような従来技術の問題点を解決するために成されたものであり、その目的は、容易にテストを行い得る半導体集積回路を提供することである。

#### 【0007】

**【課題を解決するための手段】**

上記目的を達成するため、本発明の特徴は、信号を転送するシステムバスを分割した複数の分割ステージと、複数の分割ステージを直列に接続し、入力側の分割ステージから転送された信号をクロック信号に同期して出力側の分割ステージへ転送する分割モード及び入力側の分割ステージから転送された信号を随時に出力側の分割ステージへ転送するスルーモードにて動作するステージ素子と、互いに異なる分割ステージに接続された複数の機能モジュールとを有する半導体集積回路であることを要旨とする。

**【0008】****【発明の実施の形態】**

以下図面を参照して、本発明の実施の形態を説明する。図面の記載において同一あるいは類似の部分には同一あるいは類似な符号を付している。

**【0009】**

図1に示すように、本発明の実施の形態に係る半導体集積回路は、半導体チップ8と、半導体集積回路の主要な機能を実現する為の複数の機能モジュール（第1乃至第3の機能モジュール）1a～1cと、第1乃至第3の機能モジュール1a～1cに接続されたバスブロック11と、バスブロック11に接続されたI/Oバッファ7と、バスブロック11に接続された制御部9と、クロック信号Ckを生成するフェイズロックド・ループ回路（PLL回路）10とを有する。クロック信号Ckは、第1乃至第3の機能モジュール1a～1c及び制御部9へ供給される。制御部9は、クロック信号Ckをバスブロック11へ転送するクロック伝播回路4を有する。I/Oバッファ7及びバスブロック11は、第1乃至第3の機能モジュール1a～1cと半導体チップ8外部との間での信号の送受信を行う。制御部9は、半導体集積回路の通常動作及びテスト動作を制御する為のスルー信号Tsをバスブロック11へ供給する。

**【0010】**

図2は、図1に示した半導体集積回路のうち、第1乃至第3の機能モジュール1a～1c、バスブロック11、I/Oバッファ7及びクロック伝播回路4を示すブロック図である。バスブロック11は、信号を転送するシステムバス2を分



割した複数の分割ステージ  $2a_1 \sim 2a_4$ 、 $2b_1 \sim 2b_4$ と、複数の分割ステージ  $2a_1 \sim 2a_4$ 、 $2b_1 \sim 2b_4$ を直列に接続するステージ素子  $3a_1 \sim 3a_3$ 、 $3b_1 \sim 3b_3$ と、MUX  $12a_1$ 、 $12a_2$ 、 $12b_1$ 、 $12b_2$ 、 $12c_1$ 、 $12c_2$ とを有する。クロック伝播回路 4 は、スルー信号  $T_s$  が供給されるインバータ回路 5 と、インバータ回路 5 の出力信号とクロック信号  $C_k$  が供給される論理和回路 (AND 回路) 6 とを有する。システムバス 2 は、入力システムバス  $2a$  と出力システムバス  $2b$  とを有する。入力システムバス  $2a$  は、ステージ素子  $3a_1 \sim 3a_3$  によって分割ステージ  $2a_1 \sim 2a_4$  に分割されている。出力システムバス  $2b$  は、ステージ素子  $3b_1 \sim 3b_3$  によって分割ステージ  $2b_1 \sim 2b_4$  に分割されている。

#### 【0011】

第 1 の機能モジュール  $1a$  は、MUX  $12a_1$ 、 $12c_1$  を介して分割ステージ  $2a_2$  に接続され、MUX  $12b_1$ 、 $12c_1$  を介して分割ステージ  $2b_2$  に接続されている。第 2 の機能モジュール  $1b$  は、MUX  $12a_2$ 、 $12c_2$  を介して分割ステージ  $2a_3$  に接続され、MUX  $12b_2$ 、 $12c_2$  を介して分割ステージ  $2b_3$  に接続されている。第 3 の機能モジュール  $1c$  は、分割ステージ  $2a_4$ 、 $2b_4$  に接続されている。即ち、第 1 乃至第 3 の機能モジュール  $1a \sim 1c$  は、互いに異なる分割ステージ  $2a_1 \sim 2a_4$ 、 $2b_1 \sim 2b_4$  に接続されている。AND 回路 6 の出力は、ステージ素子  $3a_1 \sim 3a_3$ 、 $3b_1 \sim 3b_3$  に接続されている。I/O バッファ 7 は、分割ステージ  $2a_1$ 、 $2b_1$  に接続されている。クロック信号  $C_k$  は、第 1 乃至第 3 の機能モジュール  $1a \sim 1c$  に供給されている。AND 回路 6 の出力信号及びスルー信号  $T_s$  は、ステージ素子  $3a_1 \sim 3a_3$ 、 $3b_1 \sim 3b_3$  にそれぞれ供給されている。第 1 乃至第 3 の機能モジュール  $1a \sim 1c$  は、例えばデータを格納する機能を有するメモリ等、それぞれ同等の機能を有する。

#### 【0012】

図 3 に示すように、ステージ素子  $3a_1$  は、入力側の分割ステージ  $2a_1$  に接続された記憶回路 31 と、記憶回路 31 及び出力側の分割ステージ  $2a_2$  に接続されたセクタ 38 と、記憶回路 31 へクロック信号  $C_k$  を供給するクロック供給回路 35 とを有する。

## 【0013】

記憶回路 31 は、入力側の分割ステージ 2 a<sub>1</sub> に接続されたインバータ回路 51 と、インバータ回路 51 の出力に接続された第 1 のラッチ回路 52 及びインバータ回路 54 と、インバータ回路 54 の出力に接続された第 2 のラッチ回路 53 とを有するフリップフロップ回路である。セクタ 38 は、インバータ回路 54 の出力に接続されている。

## 【0014】

セクタ 38 は、入力側の分割ステージ 2 a<sub>1</sub> に直接接続された第 1 の入力端子 I n<sub>1</sub> と、記憶回路 31 を介して入力側の分割ステージ 2 a<sub>1</sub> に接続された第 2 の入力端子 I n<sub>0</sub> と、出力側の分割ステージ 2 a<sub>2</sub> に接続された出力端子 O t と、第 1 の入力端子 I n<sub>1</sub> 又は第 2 の入力端子 I n<sub>0</sub> と出力端子 O t との接続を切り換えるスルー信号 T s が入力される切換端子 S t とを備える。第 2 の入力端子 I n<sub>0</sub> は、インバータ回路 54 の出力に接続されている。

## 【0015】

クロック供給回路 35 は、クロック信号 C k が供給されるインバータ回路 66 と、インバータ回路 66 の出力に接続されたインバータ回路 67 とを有する。クロック供給回路 35 は、インバータ回路 66 の出力からクロック信号 C k と逆相のクロック信号を生成し、インバータ回路 67 の出力からクロック信号 C k と同相のクロック信号を生成する。クロック供給回路 35 が生成する同相及び逆相のクロック信号は、記憶回路 31 へそれぞれ供給する。具体的には、逆相のクロック信号は、インバータ回路 54、55 に供給され、同相のクロック信号は、インバータ回路 51、56 にそれぞれ供給される。

## 【0016】

なお、図 2 に示した他のステージ素子 3 a<sub>2</sub>、3 a<sub>3</sub>、3 b<sub>1</sub>～3 b<sub>3</sub> は、図 3 に示したステージ素子 3 a<sub>1</sub> と同様な回路構成を有する。

## 【0017】

次に、図 1 乃至図 3 に示した半導体集積回路の動作を説明する。

## 【0018】

図 1 の制御部 9 がスルー信号 T s の論理値を「0 (disable)」に設定するこ

とにより、図2のクロック伝播回路4は、クロック信号Ckをステージ素子3a<sub>1</sub>~3a<sub>3</sub>、3b<sub>1</sub>~3b<sub>3</sub>にそれぞれ転送する。また、スルー信号Tsの論理値を0に設定することにより、図3に示したセクタ38は第2の入力端子3In<sub>0</sub>と出力端子Otとを接続する。これにより、入力側の分割ステージ2a<sub>1</sub>と出力側の分割ステージ2a<sub>2</sub>は、記憶回路31を介して接続される。即ち、ステージ素子3a<sub>1</sub>は「分割モード」に設定される。同様に、図2の他のステージ素子3a<sub>2</sub>、3a<sub>3</sub>、3b<sub>1</sub>~3b<sub>3</sub>も分割モードに設定される。

#### 【0019】

クロック信号Ckの論理値が1の時、図3のインバータ回路51が開き、インバータ回路54、55が閉じる。よって、インバータ回路51は、入力側の分割ステージ2a<sub>1</sub>から転送された信号の反転値を第1のラッチ回路52及びインバータ回路54へ転送する。一方、クロック信号Ckの論理値が0の時、インバータ回路51、56が閉じ、インバータ回路54、55が開く。よって、第1のラッチ回路52は入力側の分割ステージ2a<sub>1</sub>から転送された信号の反転値を保持し、インバータ回路54は入力側の分割ステージ2a<sub>1</sub>から転送された信号の反転値を更に反転させて、入力側の分割ステージ2a<sub>1</sub>から転送された信号の論理値を第2のラッチ回路53及びセクタ38へ転送する。そして、セクタ38は、インバータ回路54から転送された信号を出力側の分割ステージ2a<sub>2</sub>へ転送する。

#### 【0020】

このように、記憶回路31は、入力側の分割ステージ2a<sub>1</sub>から転送された信号の論理値及び反転値をクロック信号Ckに同期して取り込み及び保持する。したがって、ステージ素子3a<sub>1</sub>は、分割モードにおいて、入力側の分割ステージ2a<sub>1</sub>から転送された信号をクロック信号Ckに同期して出力側の分割ステージ2a<sub>2</sub>へ転送する。同様に、図2に示した他のステージ素子3a<sub>2</sub>、3a<sub>3</sub>、3b<sub>1</sub>~3b<sub>3</sub>も、入力側の分割ステージ2a<sub>2</sub>、2a<sub>3</sub>、2b<sub>2</sub>~2a<sub>4</sub>から転送された信号をクロック信号Ckに同期して出力側の分割ステージ2a<sub>3</sub>、2a<sub>4</sub>、2b<sub>1</sub>~2a<sub>3</sub>へそれぞれ転送する。換言すれば、スルー信号Tsの論理値が0に設定されているとき、ステージ素子3a<sub>1</sub>~3a<sub>3</sub>、3b<sub>1</sub>~3b<sub>3</sub>は、システムバス

2を分割するフリップフロップ回路として機能する。したがって、半導体集積回路は、通常の動作を行うことができる、即ち、システムバス2を高速に動作させることができる。具体的には、システムバス2が図1の半導体チップ8内に長距離に渡り配置されている場合、ステージ素子3a<sub>1</sub>~3a<sub>3</sub>、3b<sub>1</sub>~3b<sub>3</sub>でシステムバス2を分割することで、半導体集積回路は要求される動作周波数を満たすことができる。

#### 【0021】

一方、図1の制御部9がスルー信号Tsの論理値を「1(enable)」に設定することにより、図2のクロック伝播回路4は、ステージ素子3a<sub>1</sub>~3a<sub>3</sub>、3b<sub>1</sub>~3b<sub>3</sub>にクロック信号Ckを転送せずに、論理値0の信号を供給し続ける。また、スルー信号Tsの論理値を1に設定することにより、図3のセレクタ38は第1の入力端子In<sub>1</sub>と出力端子Otとを接続し、入力側の分割ステージ2a<sub>1</sub>及び出力側の分割ステージ2a<sub>2</sub>は、記憶回路31を介することなく直接接続される。即ち、ステージ素子3a<sub>1</sub>は「スルーモード」に設定される。同様にして、図2の他のステージ素子3a<sub>2</sub>、3a<sub>3</sub>、3b<sub>1</sub>~3b<sub>3</sub>もスルーモードに設定される。スルーモードにおいて、ステージ素子3a<sub>1</sub>~3a<sub>3</sub>、3b<sub>1</sub>~3b<sub>3</sub>は、システムバス2を分割するフリップフロップ回路として機能しない。よって、入力側の分割ステージ2a<sub>1</sub>~2a<sub>3</sub>、2b<sub>2</sub>~2a<sub>4</sub>から転送された信号は、そのまま出力側の分割ステージ2a<sub>2</sub>~2a<sub>4</sub>、2b<sub>1</sub>~2a<sub>3</sub>へ転送される。換言すれば、ステージ素子3a<sub>1</sub>~3a<sub>3</sub>、3b<sub>1</sub>~3b<sub>3</sub>は、スルーモードにおいて、入力側の分割ステージ2a<sub>1</sub>~2a<sub>3</sub>、2b<sub>2</sub>~2a<sub>4</sub>から転送された信号を随時出力側の分割ステージ2a<sub>2</sub>~2a<sub>4</sub>、2b<sub>1</sub>~2a<sub>3</sub>へ転送する。

#### 【0022】

次に、図1のバスブロック11を介した第1乃至第3の機能モジュール1a~1cへのデータ転送について説明する。

#### 【0023】

分割モードにおいて半導体集積回路は通常の動作を行う。通常動作時において、2周期分のクロック信号Ckを図2のステージ素子3a<sub>1</sub>へ供給することにより、I/Oバッファ7から第1の機能モジュール1aにデータが転送される。即

ち、I/Oバッファ7から第1の機能モジュール1aにデータを転送する場合には、2クロックサイクルが必要となる。逆に、第1の機能モジュール1aからI/Oバッファ7にデータを転送する場合にも、2クロックサイクルが必要となる。I/Oバッファ7から第2の機能モジュール1bにデータを転送する場合、第2の機能モジュール1bからI/Oバッファ7にデータを転送する場合には、通過するステージ素子3a<sub>2</sub>、3b<sub>2</sub>が1つずつ増え、3クロックサイクルがそれぞれ必要となる。同様に、I/Oバッファ7から第3の機能モジュール1cにデータを転送する場合、第3の機能モジュール1cからI/Oバッファ7にデータを転送する場合には、通過するステージ素子3a<sub>3</sub>、3b<sub>3</sub>が更に1つ増え、4クロックサイクルがそれぞれ必要となる。

#### 【0024】

一方、図1の半導体装置にI/Oバッファ7を介して外部テストを接続することにより、半導体集積回路の直接機能テストが実施される。分割モードにおいて第1乃至第3の機能モジュール1a～1cをテストする場合を考える。第1の機能モジュール1aへのアクセスには往復4クロックサイクル、第2の機能モジュール1bへのアクセスには往復6クロックサイクル、第3の機能モジュール1cへのアクセスには往復8クロックサイクルのオーバーヘッドがそれぞれ必要となる。即ち、第1乃至第3の機能モジュール1a～1cが接続されている分割ステージ2a<sub>1</sub>～2a<sub>3</sub>、2b<sub>2</sub>～2a<sub>4</sub>が互いに異なる為、第1乃至第3の機能モジュール1a～1cへのアクセスに必要なオーバーヘッドも互いに異なる。したがって、第1乃至第3の機能モジュール1a～1cが全く同じ機能を有し、テスト内容も同じであっても、第1乃至第3の機能モジュール1a～1cに対するテストパターンは、オーバーヘッドのタイミングを考慮して各々別に作成する必要がある。

#### 【0025】

そこで、外部テストを用いて半導体集積回路の直接機能テストを実施する場合、スルー信号Tsの論理値を1(enable)に設定し、ステージ素子3a<sub>1</sub>～3a<sub>3</sub>、3b<sub>1</sub>～3b<sub>3</sub>を、入力側の分割ステージ2a<sub>1</sub>～2a<sub>3</sub>、2b<sub>2</sub>～2a<sub>4</sub>から転送された信号を随時に出力側の分割ステージ2a<sub>2</sub>～2a<sub>4</sub>、2b<sub>1</sub>～2a<sub>3</sub>へ転送す

るスルーモードにて動作させる。スルーモードにおいて、ステージ素子  $3a_1 \sim 3a_3$ 、 $3b_1 \sim 3b_3$  は、入力側の分割ステージ  $2a_1 \sim 2a_3$ 、 $2b_2 \sim 2a_4$  を出力側の分割ステージ  $2a_2 \sim 2a_4$ 、 $2b_1 \sim 2a_3$  に直接接続し、入力システムバス  $2a$  及び出力システムバス  $2b$  は、複数のステージに分割されない 1 本の内部バスをそれぞれ形成する。よって、スルーモードにおいて I/O バッファ 7 から第 1 乃至第 3 の機能モジュール  $1a \sim 1c$  にデータを転送する場合には、1 システムクロックが必要となる。逆に、第 1 乃至第 3 の機能モジュール  $1a \sim 1c$  から I/O バッファ 7 にデータを転送する場合にも、1 システムクロックが必要となる。即ち、接続されている分割ステージ  $2a_1 \sim 2a_4$ 、 $2b_1 \sim 2a_4$  が互いに異なる総ての機能モジュール  $1a \sim 1c$  へ I/O バッファ 7 から 1 クロックサイクルでデータを転送することができ、総ての機能モジュール  $1a \sim 1c$  から I/O バッファ 7 へ 1 クロックサイクルでデータを転送することができる。したがって、第 1 乃至第 3 の機能モジュール  $1a \sim 1c$  が接続されている分割ステージ  $2a_1 \sim 2a_4$ 、 $2b_1 \sim 2a_4$  が互いに異なっているとしても、第 1 乃至第 3 の機能モジュール  $1a \sim 1c$  へのアクセスに必要なオーバーヘッドは同じになる。よって、第 1 乃至第 3 の機能モジュール  $1a \sim 1c$  に対するテストパターンは、オーバーヘッドのタイミングを考慮することなく作成することができる。特に、第 1 乃至第 3 の機能モジュール  $1a \sim 1c$  が全く同じ機能を有し、テスト内容も同じであれば、第 1 乃至第 3 の機能モジュール  $1a \sim 1c$  に対するテストパターンは、同じものとなる。換言すれば、外部テストは、第 1 乃至第 3 の機能モジュール  $1a \sim 1c$  を全く等価に見ることができ、テストのハンドリングを簡略化することができる。具体的には、外部テストは、ほぼ同じテストパターンを用いて、直接機能テストを行うことができる。

#### 【0026】

また、分割モードにおいては、例えば第 3 の機能モジュール  $1c$  へのアクセスには 4 システムクロックが必要であった。しかし、スルーモードにおいては、1 システムクロックで第 3 の機能モジュール  $1c$  へアクセスできる。したがって、スルーモードでの動作周波数は、分割モードでの動作周波数に対して、少なくとも  $1/4$  以下となる。なお、通常動作での動作周波数においてテストを行う際は

、スルーモードではなく、スルー信号の論理値を 0 (disable) に設定して、ステージ素子 3 a<sub>1</sub>～3 a<sub>3</sub>、3 b<sub>1</sub>～3 b<sub>3</sub>のステージ分割機能を生かしてテストを行う。

#### 【0027】

更に、ステージ素子 3 a<sub>1</sub>～3 a<sub>3</sub>、3 b<sub>1</sub>～3 b<sub>3</sub>は、スルーモードにおいてフリップフロップ回路としての機能を停止しているため、ステージ素子 3 a<sub>1</sub>～3 a<sub>3</sub>、3 b<sub>1</sub>～3 b<sub>3</sub>へクロック信号 C<sub>k</sub>を供給する必要がない。よって、クロック伝播回路 4 はステージ素子 3 a<sub>1</sub>～3 a<sub>3</sub>、3 b<sub>1</sub>～3 b<sub>3</sub>へクロック信号 C<sub>k</sub>の転送を停止し、半導体集積回路の消費電力を抑えることができる。なお、近年の半導体チップは高集積化、高動作周波数化が進み、リーク電流が増加したため、消費電流が大きくなっている。半導体チップの消費電流は、通常動作時に限らず、半導体チップの量産テスト時においても、削減すべきである。なぜなら、テスト動作時における消費電流の増加は、一度にテストできるチップ個数を制限する要因となる場合があるからである。そこで、並列テストを行えるチップ個数の上限がチップ 1 個あたりの消費電流で決まる場合、テスト時には、スルーモードとなるステージ素子 3 a<sub>1</sub>～3 a<sub>3</sub>、3 b<sub>1</sub>～3 b<sub>3</sub>へのクロック供給を停止することで、テスト時の消費電流を下げ、並列にテストを行える個数の上限を緩和することができる。

#### 【0028】

(第 1 の変形例)

本発明の実施の形態の第 1 の変形例として、図 3 に示したステージ素子 3 a<sub>1</sub> の変形例を示す。

#### 【0029】

図 4 (a) に示すように、第 1 の変形例に係るステージ素子 1 3 a<sub>1</sub>は、入力側の分割ステージ 2 a<sub>1</sub>に接続された記憶回路 3 2 と、記憶回路 3 2 及び出力側の分割ステージ 2 a<sub>2</sub>に接続されたインバータ回路 3 9 と、記憶回路 3 2 に接続されたパルス生成回路 3 6 とを有する。記憶回路 3 2 は、入力側の分割ステージ 2 a<sub>1</sub>に接続されたインバータ回路 5 7 と、インバータ回路 5 7 の出力に接続さ

れたラッチ回路 58 とを有するフリップフロップ回路である。インバータ回路 57 の出力はインバータ回路 39 の入力に接続されている。

#### 【0030】

図 4 (b) に示すように、パルス生成回路 36 は、直列に接続された奇数段、例えば 3 段のインバータ回路からなる反転遅延回路 68 と、クロック信号  $C_k$  が遅延回路 68 を介して供給される第 1 の入力端子とクロック信号  $C_k$  が直接供給される第 2 の入力端子を有する NAND 回路 70 と、スルー信号  $T_s$  が供給されるインバータ回路 69 と、NAND 回路 70 の出力及びインバータ回路 69 の出力に接続された NAND 回路 71 と、NAND 回路 71 の出力に接続されたインバータ回路 72 とを有する。

#### 【0031】

なお、図 2 に示した他のステージ素子 3a<sub>2</sub>、3a<sub>3</sub>、3b<sub>1</sub>～3b<sub>3</sub>は、図 4 (a) 及び図 4 (b) に示したステージ素子 13a<sub>1</sub>と同様な回路構成を有する。

#### 【0032】

次に、図 4 (a) 及び図 4 (b) に示したステージ素子 13a<sub>1</sub>の動作を説明する。

#### 【0033】

図 4 (b) の反転遅延回路 68 は、クロック信号  $C_k$  に対して逆相のクロック信号を遅延して生成する。よって、NAND 回路 70 には、クロック信号  $C_k$  及び反転遅延されたクロック信号  $C_k$  が供給され、クロック信号  $C_k$  に同期したパルス信号を生成する。例えば、パルス信号は、クロック信号  $C_k$  の立ち上がりと同時に立ち上がり、クロック信号  $C_k$  の 1/2 周期よりも短いパルス幅で立ち下がる。

#### 【0034】

スルー信号  $T_s$  の論理値が 0 である時、NAND 回路 71 には、NAND 回路 70 からのパルス信号及びインバータ回路 69 からの論理値 1 の信号がそれぞれ供給される。よって、NAND 回路 71 は、NAND 回路 70 が生成するパルス信号に対して逆相のクロックパルス信号  $CKPB$  を生成する。そして、インバータ回路 72 は、NAND 回路 70 が生成するパルス信号に対して同相のクロック



パルス信号CKPを生成する。このように、分割モードにおいて、図4(a)のパルス生成回路36は、クロックパルス信号CKP、CKPBを生成し、インバータ回路57、59へ供給する。クロックパルス信号CKP、CKPBの論理値が(1、0)である時、インバータ回路57が開き、インバータ回路59が閉じる。よって、インバータ回路57は、入力側の分割ステージ2a<sub>1</sub>から転送された信号の反転値をラッチ回路58及びインバータ回路39へ転送する。そして、インバータ回路39は、信号の反転値を更に反転させて、入力側の分割ステージ2a<sub>1</sub>から転送された信号の論理値を出力側の分割ステージ2a<sub>2</sub>へ転送する。一方、クロック信号CKP、CKPBの論理値が(0、1)である時、ラッチ回路58は、入力側の分割ステージ2a<sub>1</sub>から転送された信号の反転値を保持する。

#### 【0035】

このように、分割モードにおいて、記憶回路32は、入力側の分割ステージ2a<sub>1</sub>から転送された信号の反転値をクロックパルス信号CKP、CKPBに同期して取り込み及び保持するパルスフリップフロップ回路として機能する。即ち、パルスフリップフロップ回路は、クロックパルス信号CKPが立ち上がっている期間だけ信号を取り込み、立ち下がるとその信号を保持する。したがって、ステージ素子13a<sub>1</sub>は、分割モードにおいて、入力側の分割ステージ2a<sub>1</sub>から転送された信号をクロック信号Ckに同期して出力側の分割ステージ2a<sub>2</sub>へ転送する。同様にして、図2に示した他のステージ素子3a<sub>2</sub>、3a<sub>3</sub>、3b<sub>1</sub>～3b<sub>3</sub>も、入力側の分割ステージ2a<sub>2</sub>、2a<sub>3</sub>、2b<sub>2</sub>～2a<sub>4</sub>から転送された信号をクロック信号Ckに同期して出力側の分割ステージ2a<sub>3</sub>、2a<sub>4</sub>、2b<sub>1</sub>～2a<sub>3</sub>へそれぞれ転送する。

#### 【0036】

一方、スルー信号Tsの論理値が1である時、NAND回路71には、NAND回路66からクロックパルス信号が、インバータ回路69から論理値0の信号がそれぞれ供給され、NAND回路71は、論理値0の信号を生成し続ける。したがって、パルス生成回路36は、クロックパルス信号CKPの代わりに論理値1の信号を、クロックパルス信号CKPBの代わりに論理値0の信号をそれぞれ生成し続ける。したがって、インバータ回路57は開いた状態、インバータ回路

57は閉じた状態をそれぞれ維持し、記憶回路32は、入力側の分割ステージ2a<sub>1</sub>から転送された信号を随時出力側の分割ステージ2a<sub>2</sub>へ転送する。

#### 【0037】

以上説明したように、パルス生成回路36が、クロックパルス信号CKPが常に立ち上がった状態にする論理を取り入れることで、記憶回路32を常に通過するスルーモードを設けることができる。パルス生成回路36を用いることで、図2に示したセクタ38が省略される。セクタ38は、機能テストのために付加されているため、通常動作においてはシステムバス2のデータ通過速度を遅延させる原因となる。一方、図4(a)及び図4(b)のステージ素子13a<sub>1</sub>において、パルス生成回路36にテスト用の論理ゲート(NAND回路)71を加えても、データ通過速度の遅延を増やすことがない。また、1つのパルス生成回路36を複数の記憶回路32で共用すれば、テストのための論理追加による回路面積の増加も抑えることができる。

#### 【0038】

(第2の変形例)

本発明の実施の形態の第2の変形例として、図3に示したステージ素子3a<sub>1</sub>の変形例を示す。

#### 【0039】

図5に示すように、第2の変形例に係るステージ素子23a<sub>1</sub>は、入力側の分割ステージ2a<sub>1</sub>に接続された記憶回路33と、記憶回路33及び出力側の分割ステージ2a<sub>2</sub>に接続されたバッファ回路40と、記憶回路33に接続されたクロック制御回路37とを有する。

#### 【0040】

記憶回路33は、入力側の分割ステージ2a<sub>1</sub>に接続されたインバータ回路60と、インバータ回路60の出力に接続された第1のラッチ回路61及びインバータ回路63と、インバータ回路63の出力に接続された第2のラッチ回路64とを有するフリップフロップ回路である。バッファ回路40は、インバータ回路63の出力に接続されている。

## 【0041】

クロック制御回路37は、クロック信号Ckが供給されるインバータ回路77と、スルー信号Tsが供給されるインバータ回路78と、クロック信号Ckが供給されるNOR回路74及びNAND回路75と、インバータ回路77の出力に接続されたNAND回路73及びNOR回路76とを有する。NAND回路73は、クロック信号CK0をインバータ回路60へ供給する。NOR回路77は、クロック信号CK1をインバータ回路62へ供給する。NAND回路75は、クロック信号CK2をインバータ回路63へ供給する。NOR回路76は、クロック信号CK3をインバータ回路65へ供給する。

## 【0042】

なお、図2に示した他のステージ素子3a<sub>2</sub>、3a<sub>3</sub>、3b<sub>1</sub>～3b<sub>3</sub>は、図5に示したステージ素子23a<sub>1</sub>と同様な回路構成を有する。

## 【0043】

次に、図5に示したステージ素子23a<sub>1</sub>の動作を説明する。

## 【0044】

図1の制御部9がスルー信号Tsの論理値を0に設定することにより、図5に示したNOR回路74、76に論理値0の信号が供給され、NAND回路73、75には論理値1の信号が供給される。クロック信号Ckの論理値が(1、0)の時、NOR回路74及びNAND回路75に論理値(1、0)の信号が供給され、NAND回路73及びNOR回路76に論理値(0、1)の信号が供給される。したがって、クロック信号CK0の論理値は(1、0)となり、クロック信号CK1の論理値は(0、1)となり、クロック信号CK2の論理値は(0、1)となり、クロック信号CK3の論理値は(1、0)となる。即ち、クロック信号CK0、CK3は、クロック信号Ckと同相の信号となり、クロック信号CK1、CK2は、クロック信号Ckと逆相の信号となる。クロック信号Ckの論理値が1の時、インバータ回路60が開き、インバータ回路62、63が閉じる。一方、クロック信号Ckの論理値が0の時、インバータ回路60、65が閉じ、インバータ回路62、63が開く。したがって、ステージ素子23a<sub>1</sub>は、入力側の分割ステージ2a<sub>1</sub>から転送された信号をクロック信号Ckに同期して出力

側の分割ステージ 2 a<sub>2</sub>へ転送する。即ち、記憶回路 33 は、フリップフロップ回路として機能し、ステージ素子 23 a<sub>1</sub>は分割モードに設定される。

#### 【0045】

一方、図1の制御部9がスルー信号 T<sub>s</sub>の論理値を1に設定することにより、図5に示したNOR回路74、76に論理値1の信号が供給され、NAND回路73、75には論理値0の信号が供給される。したがって、クロック信号 C<sub>k</sub>の論理値が(1、0)の時、クロック信号 C<sub>K0</sub>の論理値は(1、1)となり、クロック信号 C<sub>K1</sub>の論理値は(0、0)となり、クロック信号 C<sub>K2</sub>の論理値は(1、1)となり、クロック信号 C<sub>K3</sub>の論理値は(0、0)となる。即ち、クロック信号 C<sub>K0</sub>、C<sub>K2</sub>は、クロック信号 C<sub>k</sub>に係らず論理値1の信号となり、クロック信号 C<sub>K1</sub>、C<sub>K3</sub>は、クロック信号 C<sub>k</sub>に係らず論理値0の信号となる。インバータ回路60、63は開いた状態を保持し、インバータ回路62、65は閉じた状態を保持する。したがって、ステージ素子 23 a<sub>1</sub>は、入力側の分割ステージ 2 a<sub>1</sub>から転送された信号をクロック信号 C<sub>k</sub>に随時出力側の分割ステージ 2 a<sub>2</sub>へ転送する。即ち、記憶回路 33 は、フリップフロップ回路として機能せず、ステージ素子 23 a<sub>1</sub>はスルーモードに設定される。

#### 【0046】

以上説明したように、クロック制御回路37が、クロック信号 C<sub>K0</sub>、C<sub>K2</sub>が常に立ち上がった状態にする論理を取り入れることで、ステージ素子 23 a<sub>1</sub>をスルーモードに設定することができる。クロック制御回路37を用いることで、図2に示したセレクト 38が省略される。図5のステージ素子 13 a<sub>1</sub>に、クロック制御回路37を加えても、データ通過速度の遅延を増やすことがない。また、1つのクロック制御回路37を複数の記憶回路33で共用すれば、テストのための論理追加による回路面積の増加も抑えることができる。

#### 【0047】

上記のように、本発明は、1つの実施の形態及び第1及び第2の変形例によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。即ち、本発明はここでは記載していない様

々な実施の形態等を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲に係る発明特定事項によってのみ限定されるものである。

#### 【0048】

#### 【発明の効果】

以上説明したように、本発明によれば、容易にテストを行い得る半導体集積回路を提供することができる。

#### 【図面の簡単な説明】

#### 【図1】

本発明の実施の形態に係る半導体集積回路を示すブロック図である。

#### 【図2】

図1に示した半導体集積回路のうち、第1乃至第3の機能モジュール、バスブロック、I/Oバッファ及びクロック伝播回路を示すブロック図である。

#### 【図3】

図2に示したステージ素子の一例を示す回路図である。

#### 【図4】

図4(a)は、第1の変形例に係るステージ素子を示す回路図である。図4(b)は、図4(a)に示したパルス生成回路を示す回路図である。

#### 【図5】

第2の変形例に係るステージ素子を示す回路図である。

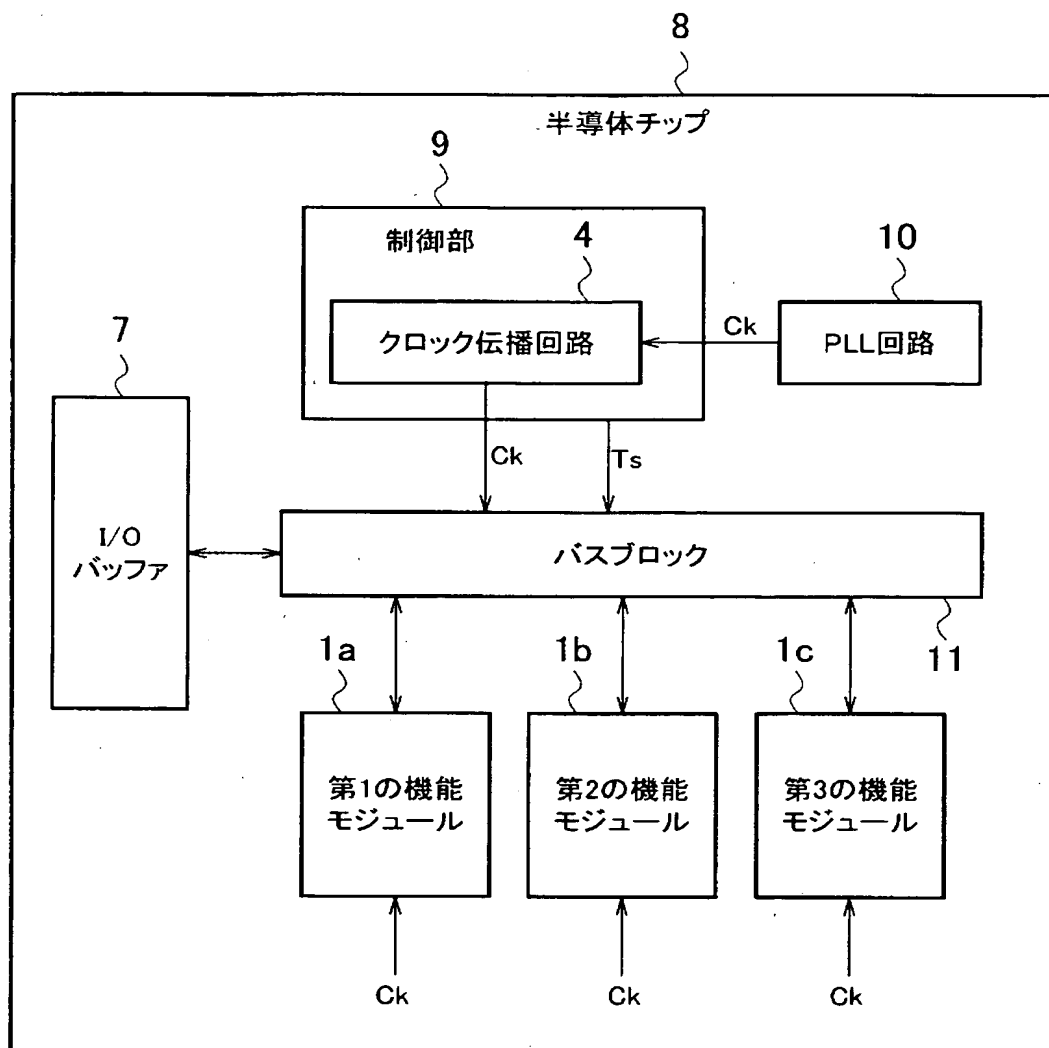
#### 【符号の説明】

- 1 a 第1の機能モジュール
- 1 b 第2の機能モジュール
- 1 c 第3の機能モジュール
- 2 システムバス
- 2 a 入力システムバス
- 2 b 出力システムバス
- 2 a<sub>1</sub>～2 a<sub>4</sub>、2 b<sub>1</sub>～2 b<sub>4</sub> 分割ステージ
- 3 a<sub>1</sub>～2 a<sub>3</sub>、3 b<sub>1</sub>～3 b<sub>3</sub>、1 3 a<sub>1</sub>、2 3 a<sub>1</sub> ステージ素子

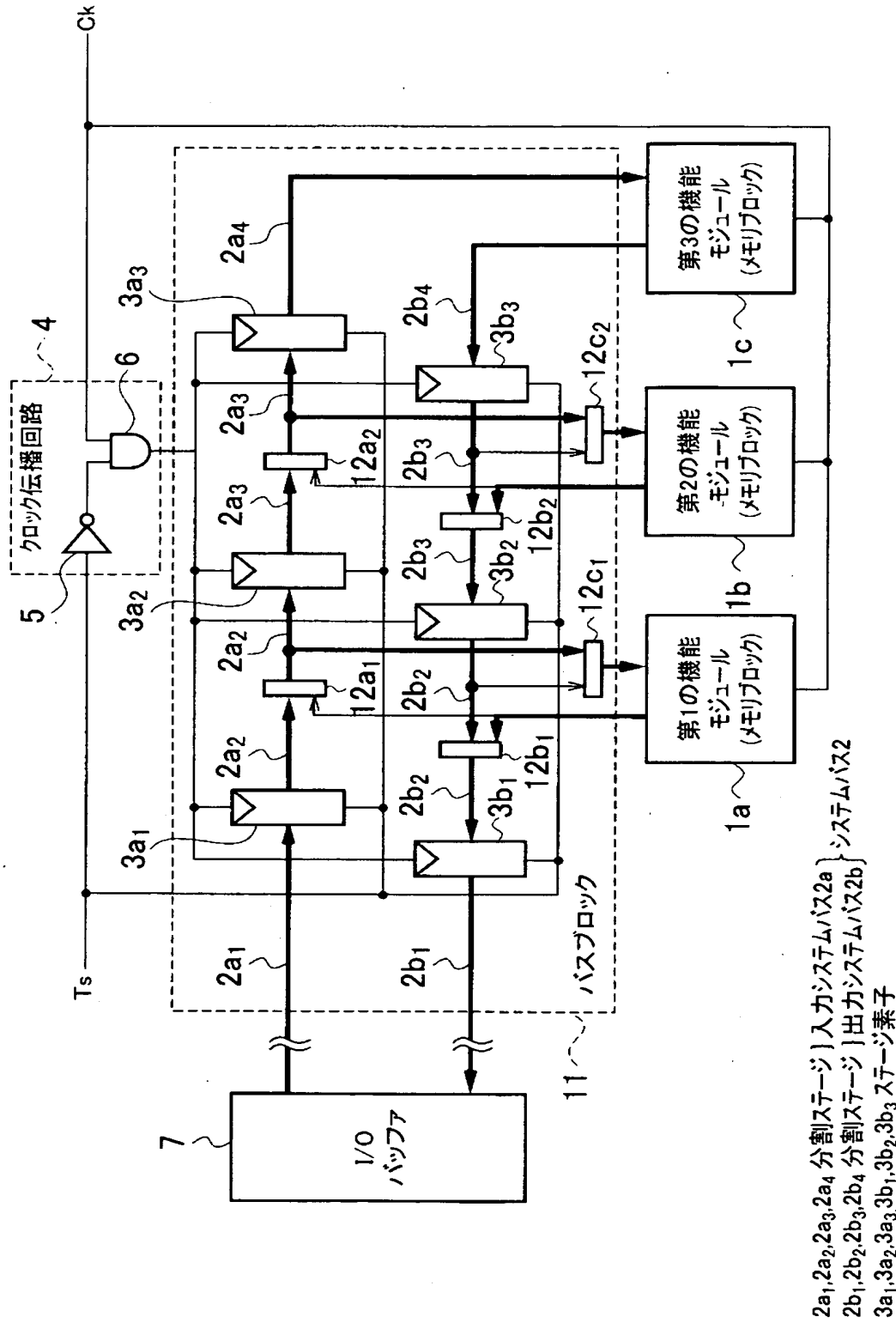
- 4      クロック伝播回路
- 5、39、51、54～57、59、60、62、63、65～67、69、72、77、78      インバータ回路
- 6      AND回路
- 7      I/Oバッファ
- 8      半導体チップ
- 9      制御部
- 10      PLL回路
- 11      バスブロック
- 12a<sub>1</sub>、12a<sub>2</sub>、12b<sub>1</sub>、12b<sub>2</sub>、12c<sub>1</sub>、12c<sub>2</sub>      MUX
- 31～33      記憶回路
- 35      クロック供給回路
- 36      パルス生成回路
- 37      クロック制御回路
- 38      セレクタ
- 40      バッファ回路
- 52、61      第1のラッチ回路
- 53、64      第2のラッチ回路
- 58      ラッチ回路
- 68      反転遅延回路
- 70、71、73、75      NAND回路
- 74、76      NOR回路
- Ck、CK0～CK3      クロック信号
- CKP、CKPB      クロックパルス信号
- Ts      スルー信号
- In<sub>1</sub>      第1の入力端子
- In<sub>0</sub>      第2の入力端子
- Ot      出力端子
- St      切換端子

【書類名】 図面

【図 1】

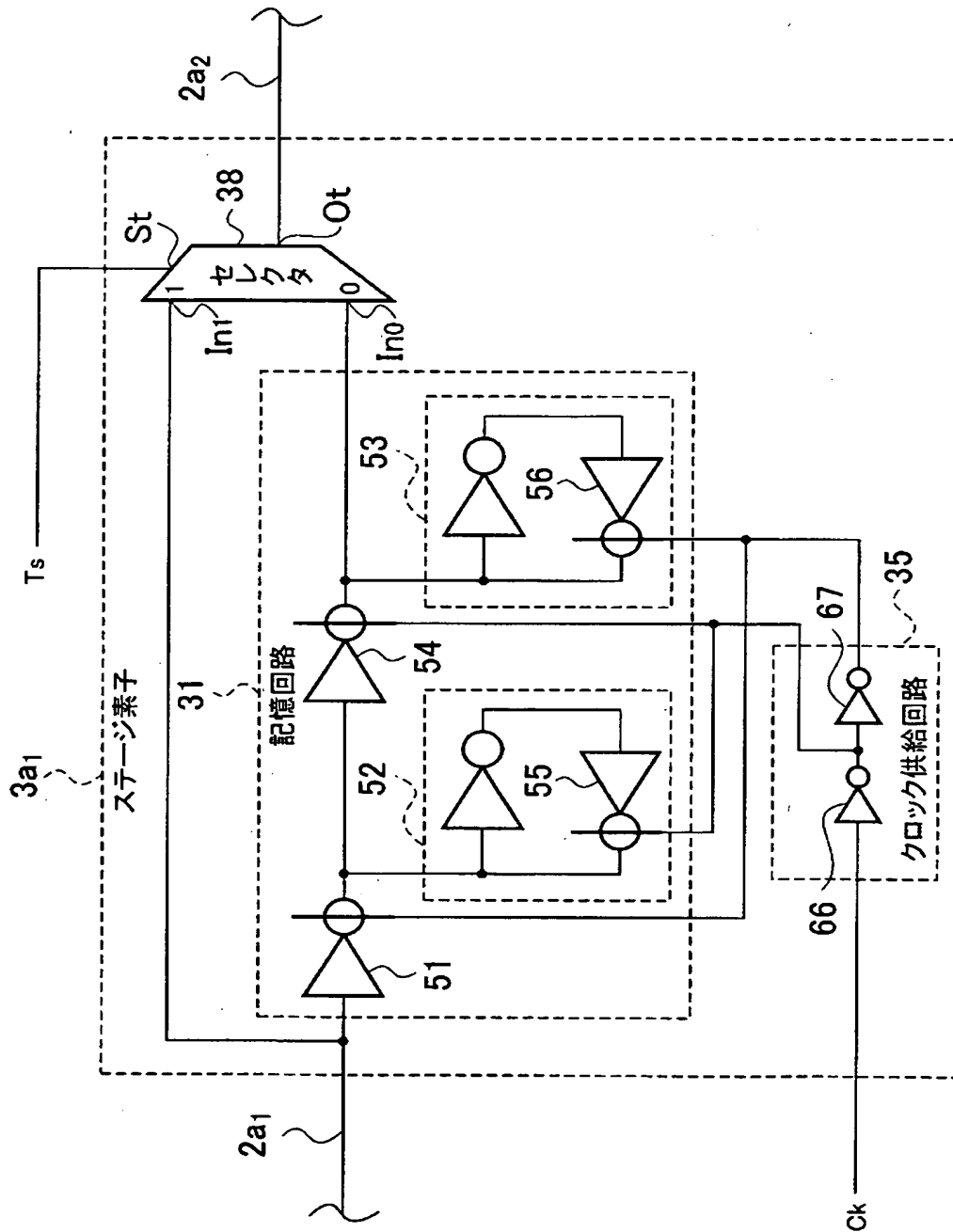


【図 2】

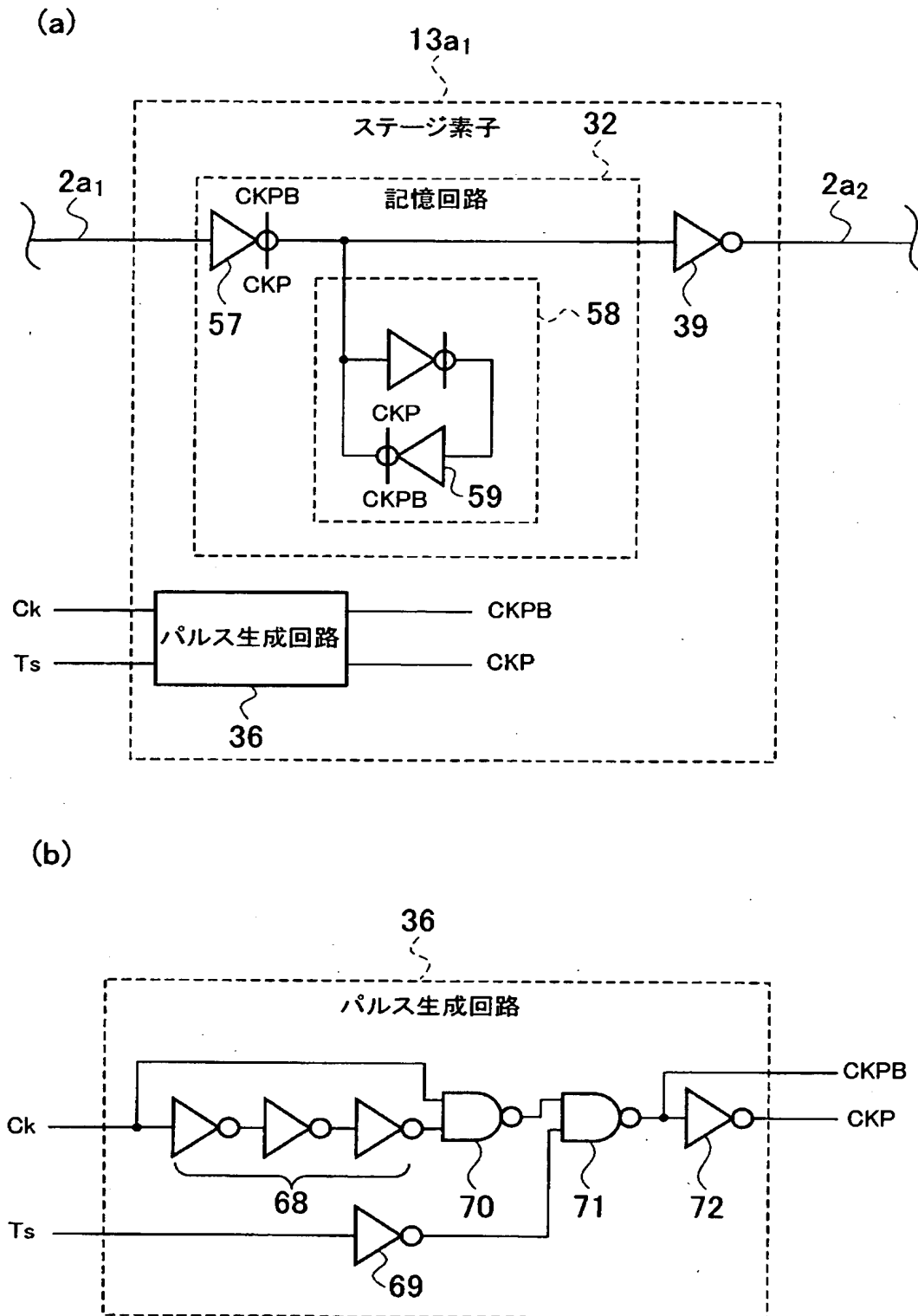




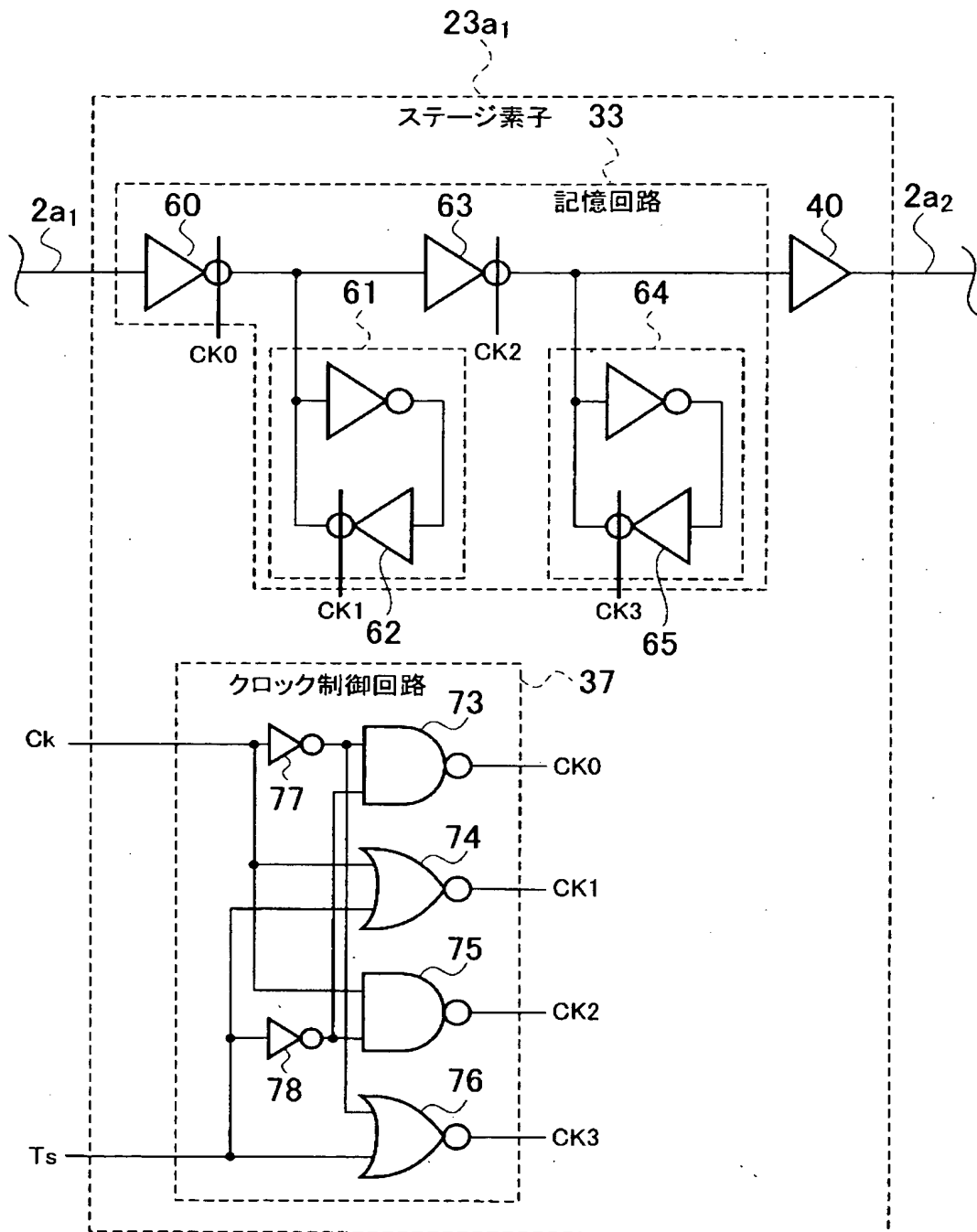
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 容易にテストを行い得る半導体集積回路を提供する。

【解決手段】 信号を転送するシステムバス 2 を分割した複数の分割ステージ 2 a<sub>1</sub>～2 a<sub>4</sub>、2 b<sub>1</sub>～2 b<sub>4</sub>と、複数の分割ステージ 2 a<sub>1</sub>～2 a<sub>4</sub>、2 b<sub>1</sub>～2 b<sub>4</sub>を直列に接続するステージ素子 3 a<sub>1</sub>～3 a<sub>3</sub>、3 b<sub>1</sub>～3 b<sub>3</sub>と、互いに異なる分割ステージ 2 a<sub>1</sub>～2 a<sub>4</sub>、2 b<sub>1</sub>～2 b<sub>4</sub>に接続された複数の機能モジュール 1 a～1 c とを有する。ステージ素子 3 a<sub>1</sub>～3 a<sub>3</sub>、3 b<sub>1</sub>～3 b<sub>3</sub>は、入力側の分割ステージ 2 a<sub>1</sub>～2 a<sub>3</sub>、2 b<sub>2</sub>～2 b<sub>4</sub>から転送された信号をクロック信号 C<sub>k</sub>に同期して出力側の分割ステージ 2 a<sub>2</sub>～2 a<sub>4</sub>、2 b<sub>1</sub>～2 b<sub>3</sub>へ転送する分割モード及び入力側の分割ステージ 2 a<sub>1</sub>～2 a<sub>3</sub>、2 b<sub>2</sub>～2 b<sub>4</sub>から転送された信号を随時に出力側の分割ステージ 2 a<sub>2</sub>～2 a<sub>4</sub>、2 b<sub>1</sub>～2 b<sub>3</sub>へ転送するスルーモードにて動作する。

【選択図】 図 2

出 願 人 履 歷 情 報

$$[0 \ 0 \ 0 \ 0 \ 0 \ 3 \ 0 \ 7 \ 8]$$

2.001年 7月 2日

住所変更

東京都港区芝浦一丁目1番1号

株式会社東芝

2003年 5月 9日

名称变更

住所変更

東京都港区芝浦一丁目1番1号

株式会社東芝